

SEMICONDUCTOR DEVICE

Patent Number: JP59154071
Publication date: 1984-09-03
Inventor(s): NAGAKUBO YOSHIHIDE; others: 01
Applicant(s): TOSHIBA KK
Requested Patent: JP59154071
Application Number: JP19830028698 19830223
Priority Number(s):
IPC Classification: H01L29/78; G11C11/40
EC Classification:
Equivalents:

Abstract

PURPOSE: To decrease the write voltage and thus make punch through difficult to generate by arranging the second gate electrode close to a channel region and the first one under the channel region.

CONSTITUTION: A PROM has the first gate electrode (floating gate) 17 buried in a P type Si substrate 11 via a thermal oxide film 15. The first gate oxide film 19, a polycrystalline Si film 20 serving as the channel region, the second gate oxide film 24, and the second gate electrode (control gate) 23 wider than the first one 17 are successively formed on said electrode 17. Further, said device has a structure wherein an N<+> type source region 25 contacting the thermal oxide film 15 on the side surface of said electrode 17 and an N<+> type drain region not contacting it are formed in the substrate 11. Since the second gate electrode 23 is close to the channel region, the voltage impressed on this control gate 23 can be a low voltage in order to invert said region.

Data supplied from the esp@cenet database - I2

THIS PAGE BLANK (USPTO)

⑯ 日本国特許庁 (JP)

⑮ 特許出願公開

⑰ 公開特許公報 (A)

昭59—154071

⑯ Int. Cl.³
H 01 L 29/78
G 11 C 11/40

識別記号
101

厅内整理番号
7514-5F
6549-5B

⑯ 公開 昭和59年(1984)9月3日
発明の数 1
審査請求 未請求

(全 5 頁)

⑰ 半導体装置

⑰ 特 願 昭58—28698

⑰ 出 願 昭58(1983)2月23日

⑰ 発 明 者 長久保吉秀

川崎市幸区堀川町72番地東京芝
浦電気株式会社堀川町工場内

⑰ 発 明 者 吉川邦良

川崎市幸区堀川町72番地東京芝
浦電気株式会社堀川町工場内

⑰ 出 願 人 株式会社東芝

川崎市幸区堀川町72番地

⑰ 代 理 人 弁理士 鈴江武彦 外2名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) 一導電型の半導体層内にその側面及び下部に絶縁膜を介して埋込まれた第1のゲート電極と、該第1のゲート電極上に形成された第1ゲート絶縁膜と、該第1ゲート絶縁膜上に形成されたチャネル領域となる半導体膜と、該半導体膜上に第2ゲート絶縁膜を介して形成された前記第1のゲート電極より幅の広い第2のゲート電極と、前記半導体層内に一方が前記第1のゲート電極周囲の絶縁膜と接し、他方が該絶縁膜と接しないように電気的に分離して形成された半導体層と逆導電型の不純物領域とを具備したことを特徴とする半導体装置。

(2) 半導体層内に絶縁膜を介して埋込まれた第1のゲート電極をフローティングゲート、第2のゲート電極をコントロールゲートとしてそれぞれ用いることを特徴とする特許請求の範囲

第1項記載の半導体装置。

(3) 第1のゲート電極下部の半導体層内に絶縁膜を介して反転防止領域を形成したことを特徴とする特許請求の範囲第1項記載の半導体装置。

(4) 半導体層に埋込まれた第1のゲート電極周囲の絶縁膜に接する不純物領域をソース領域、該絶縁膜に接しない不純物領域をドレイン領域としてそれぞれ用いることを特徴とする特許請求の範囲第1項記載の半導体装置。

(5) ソース領域となる不純物領域に特定の電圧を印加することにより、第1のゲート電極に蓄積された電荷を排除することを特徴とする特許請求の範囲第4項記載の半導体装置。

(6) 半導体層が半導体基板又は絶縁基板上に形成された半導体層であることを特徴とする特許請求の範囲第1項乃至第5項記載の半導体装置。

3. 発明の詳細な説明

[発明の技術分野]

本発明は半導体装置に関し、特に PROM (Programmable ROM)、そのうちでも EEPROM (Erasable PROM) 及び EEPROM (Electrically Erasable PROM) のような記憶記能を有する半導体装置に係る。

[発明の技術的背景]

従来の PROM は第 1 図に示す如く、例えば P 型シリコン基板 1 のフィールド酸化膜 2 により分離された島状の素子領域内に互いに電気的に分離して形成された N⁺型ソース、ドレイン領域 3、4 と、これらソース、ドレイン領域 3、4 間のチャネル領域上に第 1 ゲート酸化膜 5 を介して形成された第 1 のゲート電極 (フローティングゲート) 6 と、この第 1 のゲート電極 6 上に第 2 ゲート絶縁膜 7 を介して形成された第 2 のゲート電極 (コントロールゲート) 8 とからなる構造を有するものである。

上述した PROM は書き込み時に第 2 のゲート電極 8 に高電圧を印加することによりチャネル領域を反転させてトランジスタを ONさせ、第

1 のゲート電極 6 にキャリアを蓄積させて、このトランジスタのしきい値電圧に変動を与えることにより特定のメモリセルに記憶機能を保持させるものである。

[背景技術の問題点]

上述した従来の PROM には以下のような種々の問題点がある。

(i) 書き込み時には第 2 のゲート電極 (コントロールゲート) 8 に電圧を印加し、第 1 のゲート電極 (フローティングゲート) 6 を介してチャネル領域を反転させるため、前記電圧としては高電圧を必要とする。

(ii) 素子が微細化されると、PROM に限らずパンチスルーが起り易くなる。

(iii) 第 1 及び第 2 のゲート電極が基板表面に積層状に形成されており、素子領域表面が平坦でないため、配線等の形成が困難となる。

(iv) 電気的に消去可能な PROM (EEPROM) では更に構造が複雑となり、製造工程が煩雑化する。

[発明の目的]

本発明は上記欠点を解消するためになされたものであり、書き込み電圧を低下し、素子が微細化されてもパンチスルーを防止でき、更に表面が平坦でかつ低電圧でも電気的消去が可能であり、しかも簡便な方法で製造し得る半導体装置を提供しようとするものである。

[発明の概要]

本発明の半導体装置は一導電型の半導体層内に絶縁膜を介して埋込まれた第 1 のゲート電極と、該第 1 のゲート電極上に順次形成された第 1 ゲート絶縁膜、チャネル領域となる半導体膜、第 2 ゲート絶縁膜及び前記第 1 のゲート電極より幅の広い第 2 のゲート電極と、前記半導体層内に一方が第 1 のゲート電極周囲の絶縁膜に接し、他方が該絶縁膜に接しないように、互いに電気的に分離して形成された半導体層と逆導電型の不純物領域とを具備したことを特徴とするものである。

上記半導体装置によれば、第 2 のゲート電極

(コントロールゲート) とチャネル領域とが近いので書き込み電圧を低下することができる。また、チャネル領域下に絶縁膜によって囲まれた第 1 のゲート電極が存在するのでパンチスルーが起りにくく。また、半導体層表面には第 2 ゲート絶縁膜を介して第 2 のゲート電極が存在するだけなので素子領域表面は平坦である。更に、半導体層内に絶縁膜を介して埋込まれた第 1 のゲート電極をフローティングゲートとし、このフローティングゲート周囲の絶縁膜に接する不純物領域をソース領域として用い、このソース領域に特定の電圧を印加すれば、電気的に記憶を消去することが可能となる。

[発明の実施例]

以下、本発明の実施例を第 2 図(a)～(h)に示す製造方法を併記して説明する。

(i) まず、P 型シリコン基板 11 表面に厚さ 300 Å の熱酸化膜 12 を形成し、更にその上に厚さ 2000 Å の窒化シリコン膜 13 を堆積した。次に、図示しないホトレジストパターンをマス

クとして反応性イオンエッティング等の異方性エッティング法により、前記塗化シリコン膜13、熱酸化膜12及び基板11の一部を順次選択的にエッティング除去し、前記基板11に溝14を形成した(同図(a)図示)。

(ii)次いで、前記ホトレジストパターンを除去した後、残存した塗化シリコン膜13を耐酸化性マスクとして熱酸化を行ない、前記溝14の側壁及び底部に厚さ約1000Åの熱酸化膜15を形成した。つづいて、全面に多結晶シリコン膜16を前記溝14の幅の1/2以上の膜厚で堆積し、更に低抵抗化を図るために多結晶シリコン膜16に例えばリン($^{31}\text{P}^+$)をドープした(同図(b)図示)。つづいて、前記多結晶シリコン膜16をほぼその膜厚分だけエッティングし、前記溝14の内部にのみ多結晶シリコンを残存させ第1のゲート電極(フローティングゲート)17を形成した(同図(c)図示)。

(iii)次いで、前記塗化シリコン膜13を耐酸化性マスクとして熱酸化を行ない、前記第1のゲ

ート電極17表面にゲート酸化膜となる熱酸化膜18を前記熱酸化膜12の膜厚よりも厚く形成した(同図(d)図示)。つづいて、前記塗化シリコン膜13を除去した後、前記熱酸化膜12及び熱酸化膜18の一部を熱酸化膜12の膜厚分エッティング除去し、第1ゲート酸化膜19を形成した(同図(e)図示)。つづいて、全面に厚さ1000Åのチャネル領域となる多結晶シリコン膜20を堆積した(同図(f)図示)。

(iv)次いで、通常の選択酸化法に従い、フィールド酸化膜21を形成した後、前記多結晶シリコン膜20の表面に厚さ500Åの第2ゲート酸化膜となる熱酸化膜22を形成した(同図(g)図示)。つづいて、全面に多結晶シリコン膜を堆積した後、パターニングして一端側が前記第1のゲート電極17の端部より長い、つまり第1のゲート電極17より幅の広い第2のゲート電極(コントロールゲート)23を形成し、更にこの第2のゲート電極23をマスクとして前記熱酸化膜22をエッティングして第2ゲート酸化

膜24を形成した。つづいて、前記第2のゲート電極23をマスクとして砒素をイオン注入した後、熱処理して前記第1のゲート電極17の側面の熱酸化膜15に接するN⁺型ソース領域25及び熱酸化膜15には接しないN⁺型ドレイン領域26を形成した。つづいて、全面にCVD酸化膜27を堆積した後、コンタクトホール28, 28を開孔し、更に全面にAl膜を堆積した後、パターニングしてAl配線29, 29を形成し、PROMを製造した(同図(h)図示)。

製造された第2図(h)図示のPROMは、P型シリコン基板11内に熱酸化膜15を介して第1のゲート電極(フローティングゲート)17が埋込まれ、この第1のゲート電極17上に第1ゲート酸化膜19、チャネル領域となる多結晶シリコン膜20、第2ゲート酸化膜24及び第1のゲート電極17より幅の広い第2のゲート電極(コントロールゲート)23が順次形成され、更に基板11内に第1のゲート電極17側面の熱酸化膜15に接するN⁺型ソース領域25

と、熱酸化膜15に接しないN⁺型ドレイン領域26とが形成された構造を有している。

しかし、上記PROMによれば、第2のゲート電極(コントロールゲート)23がチャネル領域に近いので、チャネル領域を反転するためにこのコントロールゲート23に印加する電圧は従来のPROMと比較して低い電圧でよい。

また、チャネル領域の下には熱酸化膜15及び第1ゲート酸化膜19によって囲まれた第1のゲート電極(フローティングゲート)17が存在するので、N⁺型ドレイン領域26からの空乏層の拡がりを阻止することができ、パンチスルーガが起きにくく、素子の微細化に有効となる。

また、従来のPROMは基板上に2層のゲート電極が積層されているのに対して、本発明のPROMではチャネル領域上に第2ゲート酸化膜24を介して第2のゲート電極23が形成されているだけであるので、素子領域の平坦性が良好であり、Al配線29, 29の形成が容易であり、かつ正確なパターンを形成することがで

きる。

更に、通常 PROM の読み出し時・書き込み時には N⁺型ソース領域 25' は常時接地して使用されるが、本発明の PROM はこうした使用方法だけでなく、N⁺型ソース領域 25' に特定の正の電圧を印加することにより、第 1 のゲート電極（フローティングゲート）17' に蓄積された電荷を吸収することができ、電気的にメモリ消去可能な EEPROM として使用することができる。

なお、第 2 図(a)図示の工程で溝 14' を形成した後、溝 14' の底部に相当する基板 11' に P 型不純物をイオン注入法等でドープすることにより、最終的に製造される PROM の第 1 のゲート電極 17' 下部の基板 11' 内に熱酸化膜 15' を介して反転防止領域を形成し、電気的特性の向上を図ることもできる。

また、上記実施例では P 型シリコン基板 11' を用いて PROM を製造したが、サファイア等の絶縁基板上に形成されたシリコン層を用いてもよい。

シリコン膜（チャネル領域）、23' … 第 2 のゲート電極（コントロールゲート）、24' … 第 2 ゲート酸化膜、25' … N⁺型ソース領域、26' … N⁺型ドレイン領域、27' … CVD 酸化膜、28' … コンタクトホール、29' … Al 配線。

出願人代理人 幹理士 鈴江 武彦

更に、上記実施例の第 2 図(f)図示の工程では CVD 法によりチャネル領域となる多結晶シリコン膜 20' を堆積したが、エピタキシャル法により単結晶シリコン膜を堆積してもよい。また、多結晶シリコン膜 20' を堆積した後、レーザービーム等のエネルギービームを照射することにより結晶性の改善を図ってもよい。

〔発明の効果〕

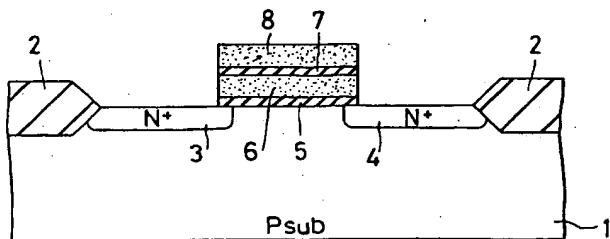
以上詳述した如く、本発明の半導体装置によれば、書き込み電圧の低下、パンチスルーの防止、表面の平坦性の向上、電気的にメモリ消去可能な素子として使用できる等顕著な効果を有するものである。

4. 図面の簡単な説明

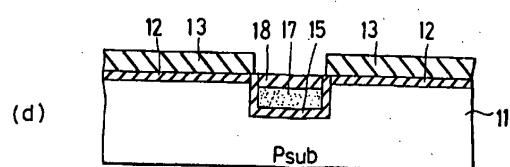
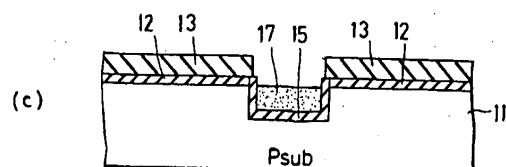
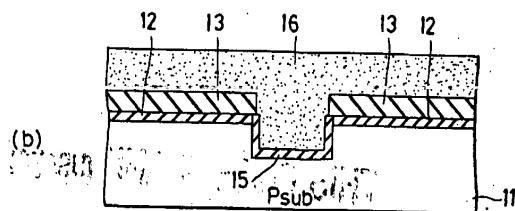
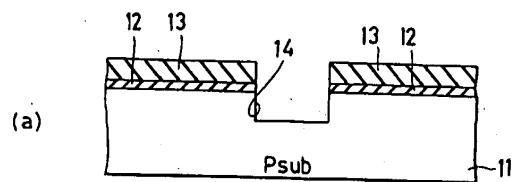
第 1 図は従来の PROM の断面図、第 2 図(a)～(h)は本発明の実施例における PROM を得るための製造工程を示す断面図である。

11' … P 型シリコン基板、15' … 热酸化膜、17' … 第 1 のゲート電極（フローティングゲート）、19' … 第 1 ゲート酸化膜、20' … 多結晶

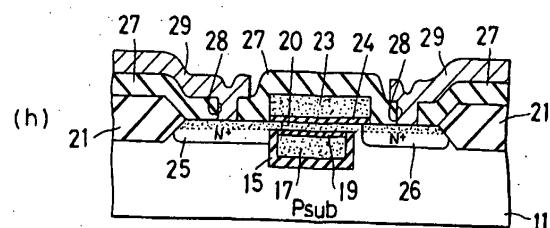
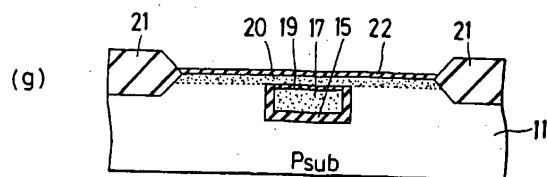
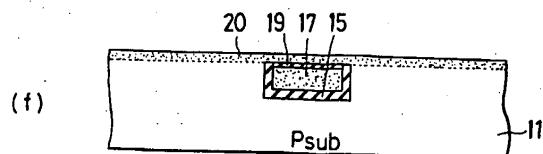
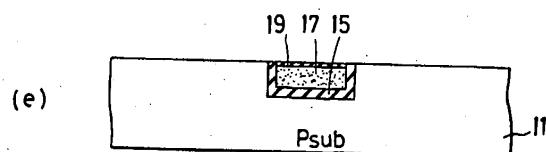
第 1 図



第2図



第2図



THIS PAGE BLANK (USPTO)